

대한민국특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

J1002 U.S. PTO  
09/92/987  
08/09/00  
08/09/00

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 특허출원 2001년 제 19943 호  
Application Number

출원년월일 : 2001년 04월 13일  
Date of Application

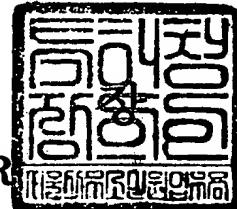
출원인 : 삼성전자 주식회사  
Applicant(s)



2001 년 04 월 26 일

특허청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0010
【제출일자】	2001.04.13
【국제특허분류】	H01L
【발명의 명칭】	플로팅 바디효과를 제거하기 위한 바디접촉부를 포함하는 SOI 전계효과트랜지스터 및 제조방법.
【발명의 영문명칭】	A SOI MOSFET including a body contact for removing floating body effect and a method for the SOI MOSFET
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	박성배
【성명의 영문표기】	PARK, sung Bae
【주민등록번호】	580812-1002317
【우편번호】	435-040
【주소】	경기도 군포시 산본동 1092 삼성장미아파트 1132동 1504호
【국적】	KR
【발명자】	
【성명의 국문표기】	김준
【성명의 영문표기】	KIM, Jun
【주민등록번호】	730221-1650611

**【우편번호】** 135-260  
**【주소】** 서울특별시 강남구 포이동 243-10 원빌라 B동 304호  
**【국적】** KR  
**【발명자】**  
**【성명의 국문표기】** 김은한  
**【성명의 영문표기】** KIM, Eun Han  
**【주민등록번호】** 641110-1722316  
**【우편번호】** 442-470  
**【주소】** 경기도 수원시 팔달구 영통동 1053-2 황골마을 풍림아파트  
**【국적】** 235-1  
**【발명자】**  
**【성명의 국문표기】** 강희성  
**【성명의 영문표기】** KANG, Hee Sung  
**【주민등록번호】** 700808-1251310  
**【우편번호】** 463-030  
**【주소】** 경기도 성남시 분당구 분당동 정자동 110 한솔 마을 청구  
**【국적】** 아파트 112 동 906호  
**【발명자】**  
**【성명의 국문표기】** 김영욱  
**【성명의 영문표기】** KIM, Young Wug  
**【주민등록번호】** 580827-1009812  
**【우편번호】** 442-470  
**【주소】** 경기도 수원시 팔달구 영통동 살구골마을 진덕아파트 701  
**【국적】** 동 602호  
**【우선권주장】**  
**【출원국명】** KR  
**【출원종류】** 특허  
**【출원번호】** 10-2000-0046613  
**【출원일자】** 2000.08.11  
**【증명서류】** 첨부  
**【심사청구】** 청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인  
이영필 (인) 대리인  
이해영 (인)

**【수수료】**

【기본출원료】	19	면	29,000 원
【가산출원료】	0	면	0 원
【우선권주장료】	1	건	26,000 원
【심사청구료】	7	항	333,000 원
【합계】		388,000 원	
【첨부서류】		1. 요약서·명세서(도면)_1통 2.우선권증명서류 및 동 번역문_1통	

### 【요약서】

#### 【요약】

플로팅 바디효과를 제거하기 위한 바디접촉부를 포함하는 SOI 전계효과트랜지스터 및 제조방법이 개시된다. 상기 바디접촉부는, 상기 바디 및 매몰산화막을 관통하여 반도체기판에 이르도록 트렌치(trench)를 만들고 상기 바디와 상기 반도체 기판의 전기적 연결을 위해 상기 트렌치에 도전보충물(conductive supplement)을 채운 것을 말한다. 상기 바디접촉부의 하부와 접촉하는 상기 반도체기판의 소정의 영역은 불순물을 이온 주입하여 오믹(Ohmic)접촉 영역을 만든다. 본 발명에 따른 SOI 전계효과트랜지스터는, 상기 바디에 전원을 공급하기 위한 메탈 배선(metal routing)이 추가되지 않고, 접촉부분 커패시턴스로 인한 회로의 이상동작도 예방할 수 있는 장점이 있다.

#### 【대표도】

도 5

## 【명세서】

### 【발명의 명칭】

플로팅 바디효과를 제거하기 위한 바디접촉부를 포함하는 SOI 전계효과트랜지스터 및 제조방법.{A SOI MOSFET including a body contact for removing floating body effect and a method for the SOI MOSFET}

### 【도면의 간단한 설명】

본 발명의 상세한 설명에서 사용되는 도면을 보다 충분히 이해하기 위하여, 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 트렌치 방법에 의한 바디접촉부를 나타내는 SOI 전계효과트랜지스터의 평면도

도 2는 도 1의 SOI 전계효과트랜지스터의  $X-X'$  방향으로의 수직 단면도

도 3은 도 1의 SOI 전계효과트랜지스터의  $Y-Y'$  방향으로의 수직 단면도

도 4는 본 발명의 실시예에 따라 개선된 바디접촉부를 포함하는 SOI 전계효과트랜지스터를 나타내는 평면도

도 5는 4도의 SOI 전계효과트랜지스터의  $X-X'$  방향으로의 단면도

도 6 내지 도 11은 본 발명에 따른 SOI 전계효과트랜지스터(도 4 및 도 5 참조)를 제조하는 과정을 나타내는 수직 단면도(vertical structure)이다.

도 12는 역사다리형 구조의 트렌치를 나타낸다.

도 13은 계단형 구조의 트렌치를 나타낸다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<10> 본 발명은 반도체 제조공정에 관한 것으로, 특히 절연막 위에 형성시킨 실리콘(Silicon On Insulator) 모스 전계효과트랜지스터(이하 SOI 전계효과트랜지스터)의 바디 접촉부(body contact)에 관한 것이다.

<11> 상기한 바디접촉부는 트랜지스터의 플로팅 바디효과(floating body effect)를 없애 주기 위한 것이다. 플로팅 바디효과는 회로가 동작할 때 트랜지스터의 바디가 일정한 전압 값을 갖지 못함으로 인해 트랜지스터의 문턱전압(Threshold Voltage)이 달라지게 되는 현상으로, 특히 모스 아날로그(MOS analog) 기술분야에서는 중요하게 다루어진다. 모스 아날로그회로의 설계에서 플로팅 바디효과를 극복하려 하는 경우 통상적으로, 회로 설계자는 트랜지스터의 바디 부분에 일정한 DC전압을 갖는 노드를 연결시킨다. 대부분의 디지털 회로에서는 바디의 타입에 따라 칩의 공급전원(power supply) 중에서 가장 낮은 공급전원 또는 가장 높은 공급전원을 트랜지스터의 바디에 연결한다. SOI 전계효과트랜지스터의 경우에도 트랜지스터의 바디가 일정한 전압 값을 가지고 있어야 플로팅 바디효과가 발생하지 않는다.

<12> 이하, 첨부한 도면을 참조하여 종래의 기술을 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

<13> 도 1은 종래의 트렌치(trench) 방법에 의한 바디접촉부를 포함하는 SOI 전계효과트랜지스터의 평면도이다.

<14> 도 1을 참조하면, 종래의 SOI 전계효과트랜지스터는, 가장 외부에서부터 중심방향으로 외부트렌치 격리링(11, external trench isolation ring), 외부트렌치 격리링(11) 양쪽에 P+(P plus) 영역으로 이루어진 바디 전원공급링(12, power supply ring for body), 주위의 다른 활성영역(Active Region)과 격리시키는 부분트렌치 격리링(13, partial trench isolation ring), 트랜지스터의 드레인(drain)을 이루는 활성영역(14), 트랜지스터의 소스(source)를 이루는 활성영역(15), 상기 소오스와 상기 드레인사이의 게이트(16), 상기 전원공급링(12)과 전원 메탈을 연결시키기 위한 접촉창(17) 및 상기 트랜지스터와 상관없는 주위의 또 다른 활성영역(19)을 구비한다.

<15> 도 2는 도 1의 SOI 전계효과트랜지스터구조의  $X-X'$  방향으로의 수직 단면도이다.

<16> 도 2를 참조하면, 종래의 SOI 전계효과트랜지스터의  $X-X'$  방향으로의 수직단면도는, 가장 밑에 P-형 반도체 기판(20), 상기의 반도체 기판 위의 매몰산화막(21), 매몰산화막(21) 위의 P-바디(14, 15), P- 바디(14, 15) 양쪽의 부분트렌치 격리링(13), 부분트렌치 격리링(13) 옆의 P+형으로 이루어진 바디 전원공급링(12), 바디 전원공급링(12) 옆의 외부트렌치 격리링(11), P- 바디(14, 15) 위의 게이트 산화막(18), 게이트 산화막(18) 위의 게이트(16) 및 상기의 SOI 전계효과트랜지스터와 상관없는 주위의 또 다른 활성영역(19)을 수직적으로 나타낸다.

<17> 도 3은 도 1의 SOI 전계효과트랜지스터구조의  $Y-Y'$  방향으로의 수직 단면도이다.

<18> 도 3에 도시된 SOI 전계효과트랜지스터의  $Y-Y'$  방향으로의 수직 단면도는, 가장 밑에 P-형 반도체 기판(20), P-형 반도체 기판(20) 위의 매몰산화막(21), 매몰산화막(21) 위의 드레인(14) 및 소스(15), 드레인(14)과 소스(15) 사이의 게이트(16), 게이트

(16) 바로 밑의 게이트 산화막(18), 소스(15) 옆의 부분트렌치 격리링(13), 부분트렌치 격리링(13) 옆의 바디에 전원을 공급하기 위한 P+영역인 바디 전원공급링(12) 및 외부 트렌치 격리링(11)과 상기 부분트렌치 밑의 P-영역(22)를 나타낸다.

<19> 그러나 도 1, 도 2 및 도3에 도시된 SOI 전계효과트랜지스터는 바디접촉부(12)인 P+영역과 트랜지스터의 바디(14, 15)인 P-영역의 접촉부분(100, 110)에서 커페시턴스(Fringe capacitance)가 존재하게 된다. 이 커페시턴스는 트랜지스터의 성능 특히 회로의 동작속도, 동작 주파수에 제한을 가할 수 있다. 또한 바디에는 전원(예를 들면, Ground 전압)을 인가해야 하는데, 메탈의 배선(metal routing)이 항상 용이하지도 않고 레이아웃 측면에서도 많은 면적을 차지하는 원인이 된다.

#### 【발명이 이루고자 하는 기술적 과제】

<20> 따라서 본 발명이 이루고자 하는 제1기술적 과제는, 트랜지스터의 속도를 저하시키는 접촉부의 커페시턴스가 없고 바디에 전원을 공급하기 위한 추가 메탈배선이 없으면서도 바디효과를 감소시킬 수 있는 SOI 전계효과트랜지스터를 제공하는 데 있다.

<21> 본 발명이 이루고자 하는 제2기술적 과제는, 제1기술적 과제를 해결하는 SOI 전계효과트랜지스터를 제조하는 방법을 제공하는 것이다.

#### 【발명의 구성 및 작용】

<22> 상기 제1기술적 과제를 달성하기 위한 본 발명에 따른 SOI 전계효과트랜지스터는, 반도체기판, 매몰산화막, 바디, 게이트산화막, 게이트 및 바디접촉부를 구비한다.

<23> 상기 반도체 기판(semiconductor substrate)은 반도체 웨이퍼를 의미한다. 상기 매몰산화막은 상기 반도체기판 위에 형성시킨 산화막이다. 상기 바디는 상기 매몰산화막

위에 있으며 트랜지스터의 활성영역을 이룬다. 상기 게이트산화막은 상기 바디 위에 있다. 상기 게이트는 상기 게이트 산화막 위에 있으며, 메탈 또는 폴리실리콘으로 구성된다. 상기 바디접촉부는 상기 바디에 전원을 공급하여 플로팅 바디효과가 발생하지 않도록 한다.

<24> 특히 상기 바디접촉부는, 상기 바디를 둘러싸는 격리영역(isolation region), 상기 바디 및 상기 매몰산화막을 관통하도록 트렌치(trench)를 만들고, 상기 바디와 상기 반도체 기판의 전기적 연결을 위해 상기 트렌치에 도전보충물(conductive supplement)을 채운영역을 말한다. 상기 도전보충물은, 바디접촉부의 외부 면에 도포(deposit)되는 메탈과, 상기 메탈 위에 형성되는 텅스텐을 포함한다.

<25> 상기 SOI 전계효과트랜지스터는, 상기 바디접촉부의 하부와 접촉하는 상기 반도체 기판에 설치되며 소정의 불순물을 이온 주입시킨 영역을 더 구비하여, 상기 바디접촉부 와 상기 반도체기판의 오믹접촉(ohmic contact)을 이루게 할 수 있다.

<26> 상기 트렌치의 넓이는, 트렌치의 깊이가 깊어질수록 선형적으로(linearly) 줄어들도록 하거나, 소정의 단계별로 좁아지게 하는 것이 바람직하다.

<27> 상기 제2기술적 과제를 달성하기 위한 본 발명에 따른 SOI 전계효과트랜지스터의 제조방법은, 반도체기판 위에 매몰산화막을 생성시키는 단계, 상기 매몰산화막 위에 실리콘바디를 생성시키는 단계, 상기 실리콘바디를 채널영역, 바디접촉부, 격리영역, 필드산화막영역 및 주변활성영역(peripheral active region)으로 구별하고, 상기 격리영역 및 상기 필드산화막영역을 일정한 깊이로 식각(etching)한 후, 상기 격리영역은 상기 매몰산화막이 드러날 때까지 더 식각하는 단계, 상기 격리영역 및 상기 필드산화막영역에 산화막을 형성시키는 단계, 상기 바디 위의 소정의 영역에 게이트산화막을 생성시키고,

상기 게이트산화막 위에 게이트를 생성시키는 단계, 상기 바디접촉부를 기준으로 하여 반도체 표면으로부터 아래 방향으로 식각하되, 상기 바디 및 상기 매몰산화막을 관통하여 상기 반도체기판에 이르도록 식각하여 트렌치를 형성시키는 단계, 상기 트렌치의 가장 아래 부분인 기판의 일정한 영역에 소정의 불순물을 이온 주입시킨 영역을 형성시키는 단계 및 상기 트렌치에 도전보충물을 채우는 단계를 구비한다.

<28> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 좀더 자세히 설명한다. 각 도면에 대하여, 동일한 참조부호는 동일한 부재임을 나타낸다.

<29> 도 4는 본 발명의 실시예에 따른 개선된 바디접촉부를 포함하는 SOI 전계효과트랜지스터의 평면도이다.

<30> 도 4를 참조하면, 본 발명에 따른 SOI 전계효과트랜지스터는, 게이트(46), 소스(45), 드레인(44), 격리영역(41), 필드산화막영역(441) 및 소스(45)와 드레인(44)으로 나뉘어지는 바디를 P- 반도체 기판과 직접연결 시키기 위하여 필드산화막(441)과 격리영역(41) 사이에 형성시킨 바디접촉부(442)를 구비한다. 여기서 주변활성영역(49)은 상기 트랜지스터와 상관없는 활성영역을 나타낸다.

<31> 도 5는 도 4에 도시된 SOI 전계효과트랜지스터의 X- { X }^{ ' } 방향으로의 수직 단면도이다.

<32> 도 5를 참조하면, SOI 전계효과트랜지스터의 X- { X }^{ ' } 단면은, 가장 밑에 P- 반도체 기판(50), P- 반도체 기판(50) 위의 매몰산화막(51), 매몰산화막(51) 위의 P- 바디(44, 45), P- 바디(44, 45) 옆의 격리영역(41), P- 바디(44, 45) 위의 게이트산화막

(48), 게이트산화막(48) 위의 게이트(46), P- 바디(44, 45)의 다른 쪽 옆에 형성된 필드 산화막영역(441), 필드산화막영역(441)과 접촉하는 바디접촉부(442), P- 바디(44, 45)와 P- 기판(50)을 연결할 때 오믹접촉을 형성시키기 위하여 소정의 불순물을 이온 주입시킨 P+영역(443), 바디접촉부(442)의 표면에 도포되는 메탈(446), 메탈(446) 위에 형성되는 텅스텐(444)을 나타낸다.

<33> 여기서 영역(445)은 P- 바디(44, 45)와 P+ 영역(443)이 연결되는 접촉부이고, 주변 활성영역(49)은 상기 트랜지스터와 상관없는 외부활성영역을 나타낸다.

<34> 도 4 및 도 5를 참조하면, 본 발명에 따른 SOI 전계효과트랜지스터는, 전기전도성이 큰물질(444, 446)이 채워진 바디접촉부(442)를 통하여 반도체기판(50)의 전원이 바디(44, 45)에 연결된다. 따라서 바디(44, 45)의 플로팅 바디효과를 제거하기 위하여 추가로 메탈라인을 사용할 필요가 없으며, 영역(445)에서 커페시턴스 성분도 발생하기 않는다. 또한 메탈라인을 사용하여 플로팅 바디효과를 제거하는 방법에 비하여 보다 적은 면적을 차지하는 바디접촉부를 사용함에 따라 칩의 소비면적도 감소시키는 장점이 있다.

<35> 도 6 내지 도 11은 본 발명에 따른 SOI 전계효과트랜지스터(도 4 및 도 5 참조)를 제조하는 과정을 나타내는 수직 단면도(vertical structure)이다.

<36> 도 6을 참조하면, 본 발명에 따른 SOI 전계효과트랜지스터의 제조는, 반도체기판(50)위에 매몰산화막(51) 및 실리콘바디(52)를 순서대로 형성시킴으로서 시작된다.

<37> 도 7을 참조하면, 실리콘바디(52) 위에 형성된 트렌치 마스크층(53) 및 포토레지스터(미도시)를 도포하고 마스크를 이용하여, 실리콘바디(52)를 격리영역(41), 채널영역

(44, 45), 필드산화막영역(441), 바디접촉부(442) 및 주변활성영역(49)으로 구별한다.

상기 구분된 5개의 영역 중에서, 격리영역(41) 및 필드산화막영역(441)은 일정깊이 까지 식각(etch)된다.

<38> 여기서 트렌치 마스크층(53)은 차례로 적층된 패드산화층, 패드질화층 및 하드마스크층 중의 하나로 이루어 질 수 있다.

<39> 도 8을 참조하면, 격리영역(41)은 매몰산화막(51)에 이를 때까지 더 식각된다. 이 때 나머지 영역을 보호하기 위하여 포토레지스터(54)가 이용된다.

<40> 도 9를 참조하면, 격리영역(41), 필드산화막영역(441)에 산화막(빗금친 영역)을 각각 형성되며, 이어서 채널영역(44, 45) 및 채널영역(44, 45)의 양쪽에 각각 접하고 있는 격리영역(41) 및 필드산화막영역(441)의 산화막 중의 일부분에 게이트산화막(48) 및 게이트(46)가 순서대로 형성된다.

<41> 여기서 산화막(빗금친 영역)은 CVD(Chemical Vapored Deposition)산화막이다. 상기 산화막(빗금친 영역)은 CVD산화막으로 완전히 채워지는 것이 바람직하다. 생성된 산화막(빗금친 영역)은 에치백(etch back) 공정 또는 화학적 기계적 연마(chemical and mechanical polishing)공정과 같은 평탄화 공정에 의하여 완성된다. 게이트산화막(48)은 열생성된 산화막(thermal oxide)이다.

<42> 게이트(46)는 도전층(미도시) 및 캐핑 절연층(capping insulator)을 차례로 적층시키어 형성되는 것이 바람직하다. 다만, 게이트(46)는 도전층 만으로도 형성될 수 있으며, 도전층을 이루는 물질로는 다결정 실리콘(poly silicon) 또는 메탈이 있다. 캐핑 절연층을 이루는 물질로는 CVD산화막 또는 실리콘 질화막(silicon nitride)이 있다.

<43> 도 10을 참조하면, 웨이퍼 전체에 산화막(55)을 형성시키고, 도포된 포토레지스터(56)를 이용하여 바디접촉부(442)를 구별한다. 구별된 상기 영역에 표면으로부터 기판(50)에 이르는 트렌치를 만든 후, 상기 트렌치의 가장 아래 부분인 기판의 일정한 영역에 소정의 불순물을 이온 주입하여 오믹접촉 영역(60)을 형성시킨다. 산화막(55)은 이온 주입(iion implantation) 공정시 버퍼링 역할을 할 뿐만 아니라 공정 스트레스의 완충역할을 한다.

<44> 도 11을 참조하면, 형성된 트렌치(442)에 도전보충물(444, 446)을 채우고, 도전보충물(444, 446)위에는 산화막(57)을 형성시킨다. 도전보충물(444, 446)로는 메탈, 텅스텐 및 실리콘 에피층(epitaxial layer) 중에서 하나 또는 2개 이상 조합하여 사용하는 것이 바람직하다.

<45> 도 12는 역사다리형 구조의 트렌치를 나타낸다.

<46> 도 12를 참조하면, 트렌치의 깊이가 깊어짐에 따라 트렌치의 넓이를 역사다리 모양으로 줄어들게 하여 도전보충물(444, 446)과 도전보충물(444, 446)위에 형성된 산화막(57)사이의 보이드(void)를 방지할 수 있다.

<47> 도 13은 계단형 구조의 트렌치를 나타낸다.

<48> 도 13을 참조하면, 트렌치의 깊이가 깊어짐에 따라 트렌치의 넓이를 계단 모양으로 줄어들게 하여 도전보충물(444, 446)과 도전보충물(444, 446)위에 형성된 산화막(57)사이의 보이드를 방지할 수 있다. 먼저 표면으로부터 일정한 깊이에 이르도록 일정한 규모의 제1트렌치를 생성시킨 후, 상기 트렌치에 비하여 규모가 작은 제2트렌치를 상기 트렌치 밑으로 계속하여 생성시키는 방법을 이용하면 도 13의 구조를 쉽게 만들 수 있다.

<49> 본 발명은 도면에 도시된 일 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

### 【발명의 효과】

<50> 상술한 바와 같이 본 발명에 따른 S O I 전계효과트랜지스터는, 바디에 전원을 공급하기 위한 메탈의 추가배선(additional routing)이 없으므로 사용면적이 절약되고, 접촉부분 커패시턴스로 인한 회로의 이상동작도 예방할 수 있는 장점이 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판;

상기 반도체기판 위에 있는 매몰산화막;

상기 매몰산화막 위에서 트랜지스터의 활성영역을 이루는 바디;

상기 바디 위에 있는 게이트 산화막;

상기 게이트 산화막 위에 있는 게이트; 및

상기 바디에 전원을 공급하기 위한 바디접촉부를 구비하며,

상기 바디접촉부는,

상기 바디를 둘러싸는 격리영역, 상기 바디 및 상기 매몰산화막을 관통하도록 트렌치를 만들고, 상기 바디와 상기 반도체 기판의 전기적 연결을 위해 상기 트렌치에 도전보충물을 채운 것을 특징으로 하는 SOI 전계효과트랜지스터.

**【청구항 2】**

제 1항에 있어서, 상기 게이트는,

사용재질이 메탈 또는 다결정 실리콘인 것을 특징으로 하는 SOI 전계효과트랜지스터.

**【청구항 3】**

제 1항에 있어서, 상기 도전보충물은,

상기 메탈, 텅스텐 및 실리콘 에피층 중에서 하나를 사용하거나 2개 이상을 조합하여 사용하는 것을 특징으로 하는 SOI 전계효과트랜지스터.

**【청구항 4】**

제1항에 있어서, 상기 SOI 전계효과트랜지스터는,  
상기 바디접촉부의 하부와 접촉하는 상기 반도체기판에 생성된 소정의 불순물이 이  
온 주입된 영역을 더 구비하여 상기 바디접촉부와 상기 반도체기판의 오믹접촉(ohmic contact)을 이루는 것을 특징으로 하는 SOI 전계효과트랜지스터.

**【청구항 5】**

제1항에 있어서, 상기 트렌치의 넓이는,  
트렌치의 깊이가 깊어질수록 줄어드는 것을 특징으로 하는 SOI  
전계효과트랜지스터.

**【청구항 6】**

제5항에 있어서, 상기 트렌치는,  
트렌치 구멍의 크기는, 트렌치의 깊이가 깊어질수록 소정의 단계별로 좁아지는 것  
을 특징으로 하는 SOI 전계효과트랜지스터.

**【청구항 7】**

반도체기판 위에 매몰산화막을 생성시키는 단계;  
상기 매몰산화막 위에 실리콘바디를 생성시키는 단계;  
상기 실리콘바디를 채널영역, 바디접촉부, 격리영역, 필드산화막영역 및 외부영역  
으로 구별하고, 상기 격리영역 및 상기 필드산화막영역을 일정한 깊이로 식각(etch)하는  
단계;  
상기 격리영역은 상기 매몰산화막이 드러날 때까지 더 식각하는 단계;

상기 격리영역 및 상기 필드산화막영역에 산화막을 형성시키는 단계;

상기 바디 위의 소정의 영역에 게이트산화막을 생성시키고, 상기 게이트산화막 위에 게이트를 생성시키는 단계;

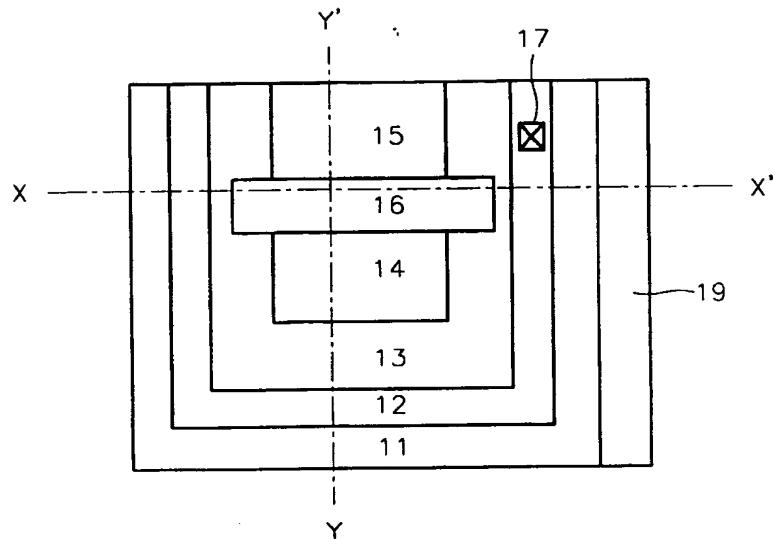
상기 바디접촉부영역을 기준으로 하여 반도체 표면으로부터 아래 방향으로 식각화되, 상기 바디 및 상기 매몰산화막을 관통하여 상기 반도체기판에 이르도록 식각하여 트렌치를 형성시키는 단계;

상기 트렌치의 가장 아래 부분인 기판의 일정한 영역에 소정의 불순물을 이온 주입하여 오믹접촉 영역을 형성시키는 단계; 및

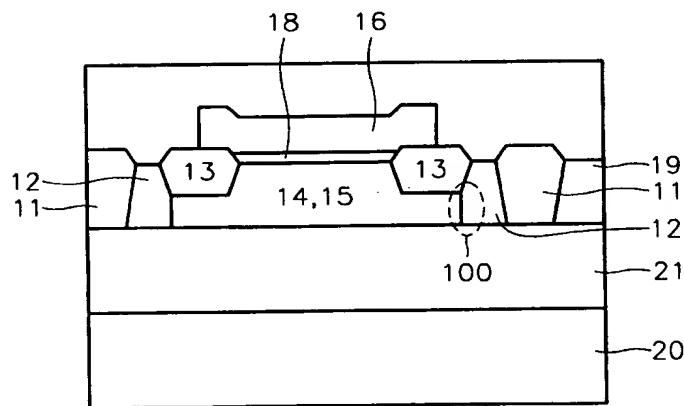
상기 트렌치에 도전보충물을 채우는 단계를 구비하는 SOI 전계효과트랜지스터의 제조방법.

## 【도면】

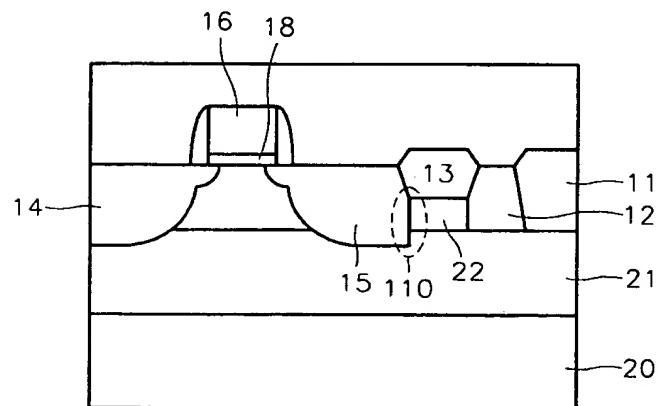
【도 1】



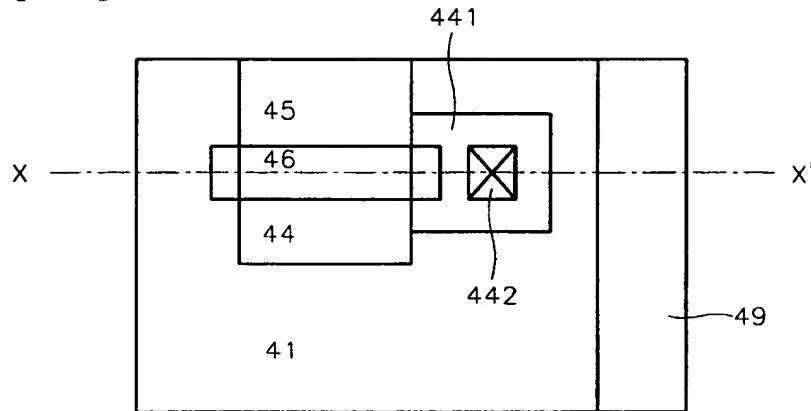
【도 2】



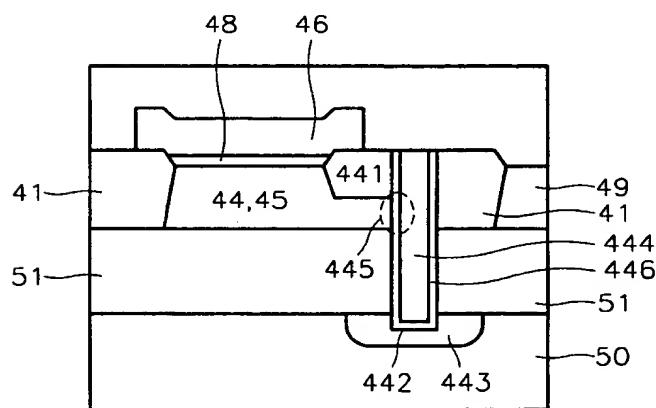
【도 3】



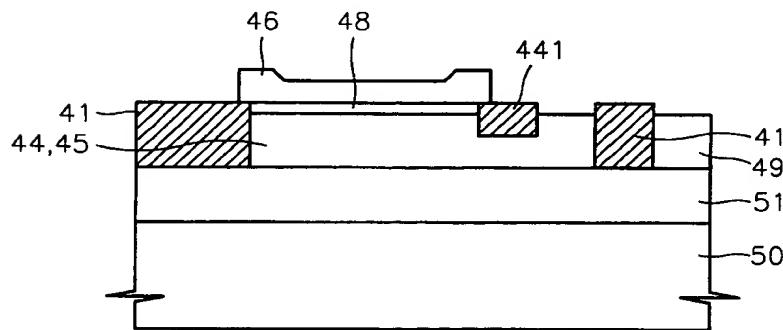
【도 4】



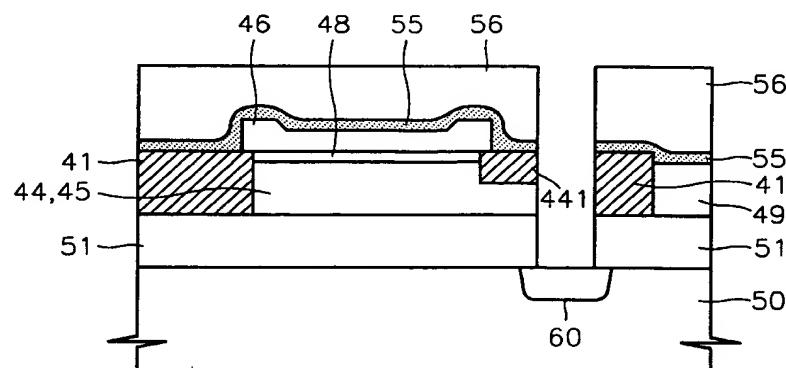
【도 5】



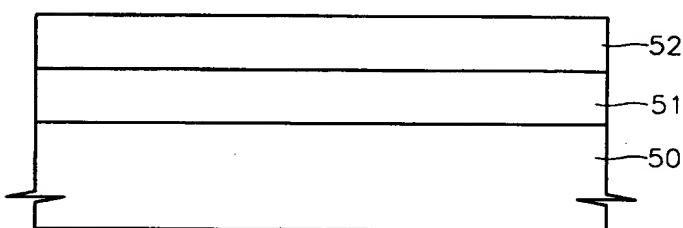
【도 6】



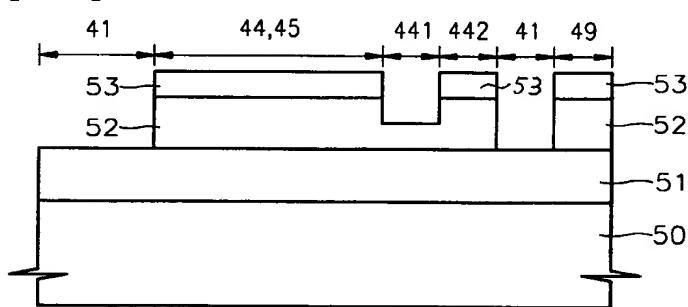
【도 7】



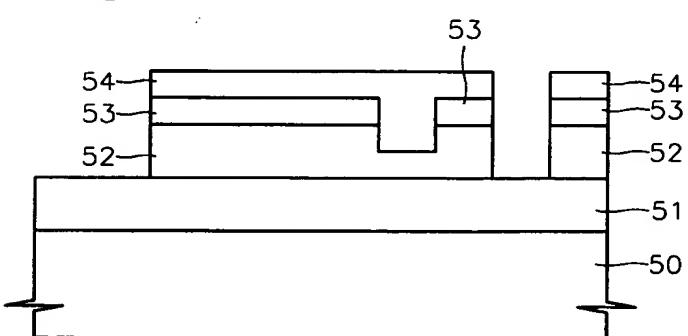
【도 8】



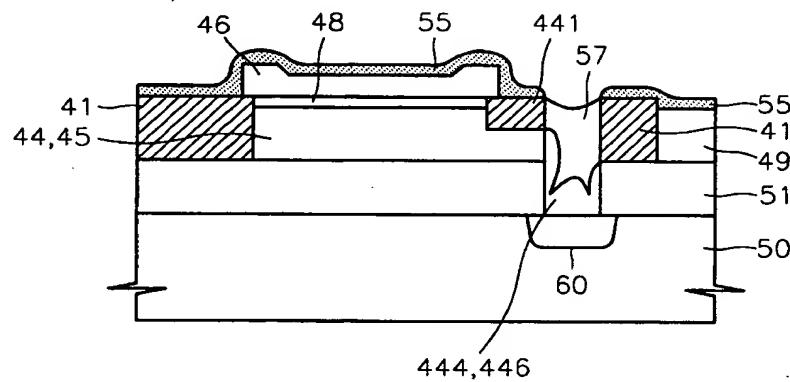
【도 9】



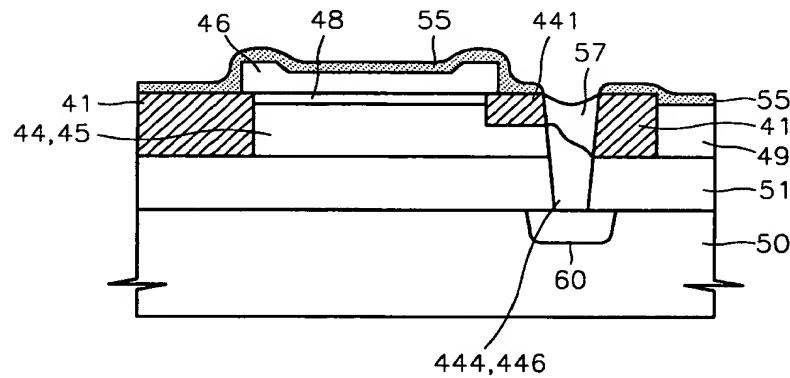
【도 10】



【도 11】



【도 12】



【도 13】

